

50nm 以下之元件開發

楊富量、陳豪育

前瞻元件部、臺灣積體電路製造公司

在目前日新月異的半導體技術發展，電晶體的閘極寬度已由 0.15 μm 快速進展到 0.1 μm ，甚至 0.07，0.05 μm 的世代。日前英特爾公司在 IEDM 研討會發表了以傳統方式所製作的 0.03 μm 閘極寬度的電晶體[1]。這顯示在縮小電晶體的尺寸方面仍有相當的研究空間。但是以傳統方式所製作的電晶體，在如此小的尺寸下，為了得到更高的驅動電流但不犧牲漏電流不論是在微影技術的開發，成長超薄閘極介電層以增加閘極電容與使用超淺源汲極界面來降低短通道效應或者是控制基板離子佈植濃度以降低短通道效應卻不影響次臨界擺幅。在各個製程方面的調整均是已經到了“牽一髮而動全身”的地步，且有更高難度的要求急需達成。雖然目前在傳統電晶體的發展方面已有相當成熟的技術，但面對未來更加嚴厲的製程條件，各國也逐漸將研發重心目標朝向次世代的新式元件結構與材料開發為研究重點。目前主要的研發題目有；SOI 電晶體，SiGe 電晶體，高介電材料的應用，雙閘極電晶體，單電子電晶體等特殊結構電晶體，低溫製程等，以下逐一介紹這些前瞻技術開發的現況。

0.1 μm CMOS:

在 ITRS 對未來積體電路技術的發展，預測在 2002 年後將閘極寬度縮小到 70nm，閘極介電層厚度縮小到 1.5nm，源汲極的界面深度將縮小到 25nm。不管在製程的溫度控制與材料特性均遭遇極大挑戰。目前各家公司無不發展新材料與技術來避開製程上的瓶頸，如使用金屬閘極來取代多晶矽閘，以降低多

晶矽的空乏效應 (poly depletion) 與片電阻值。目前主要以有採用雙閘極金屬以符合 CMOS 的製程[2][3]，或是利用離子佈植的方式來調整金屬的功函數而達到符合 NMOS 與 PMOS 的要求[4]。另外，多晶矽 SiGe 可以利用改變 Ge 的濃度進而調整多晶矽的功函數，且攙雜鍺元素後可以有效的提高載子活化率而降低電阻，也是未來可能的取代物。惟其缺點在於鍺元素受高溫後易集結成團塊，故後續金屬矽化製程的溫度不能過高而造成電阻特性劣化。

使用較厚的堆疊式閘極或高介電常數材料來取代超薄氧化層以降低穿隧漏電流而有相同的等效氧化層厚度 (電容不變)。且堆疊式閘極能有效的阻擋硼原子的擴散，目前許多方法均以將二氧化矽表層氮化而形成氮化矽化合物來提高其介電係數與防止硼原子擴散造成的臨界電壓漂移。開發中的高介電常數材料目前研發重點在於得到熱穩定性佳，高載子阻障高度 (以避免肖基發射漏電流)，如 HfO₂[5]，ZrO₂[6] 等材料。惟目前所得到之結果由於高介電材料中的金屬元素在高溫製程下易擴散到矽表面而增加 Dit，目前正開發不同的方法來克服這個問題，如成長高品質的界面層或是矽表面氮化處理等。

以昇源汲式結構 (Raised-S/D) 或雷射退火法[7]，電漿離子佈植[8] 等低能量離子佈植來降低界面深度。目前在淺界面離子佈植方面，將離子能量降低雖然能有效減低界面深度，但仍無法克服暫態加速擴散效應。目前發展的雷射退火，電漿離子植入等主要目的均是以降低退火溫度與時間，並減少因離子撞擊矽表面所造成的破壞而加速離子擴散。

NEC發表以低溫 (550度) 長時間 (8小時) 的重結晶過程來活化載子並避開暫態加速擴散效應。但其結果顯示仍須加上一快速熱退火製程來修復閘極氧化層的缺陷[9]。

昇源汲式結構不但可降低短接面所產生的高寄生電阻，也可解決在短接面須消耗過多矽元素形成金屬矽化物時造成接面漏電流等問題。一般以自對準磊晶方式成長此源汲極，或是以低溫重結晶 (RE-crystallization) 的方式將所沉積的非晶矽變成單晶矽的方式等。一般而言，磊晶昇源汲極成長條件極為嚴苛。在磊晶前的矽表面處理，磊晶時產生琢面 (facet)，對於後續離子佈植與金屬矽化物形成，會有一定程度的影響。而降低磊晶溫度到800度以下，也是此技術是否能實用化的關鍵。

SOI:

SOI元件相對於矽BULK元件提供了相當多的優點，如較低的接面電容值，可容忍SOFT-ERROR及栓鎖 (latch-up)，較好的絕緣特性進而能提高電晶體單位密度等。主要的SOI元件可分為兩大主軸：1.部份空乏 (Partially-depleted) 電晶體，在絕緣體二氧化矽上的矽厚度較其空乏區為大，所以此種電晶體將會有浮體效應的特性。浮體效應產生的主要原因為由衝擊離化效應所產生的多數載子將會聚集在中性電位的本體而造成臨界電壓的變動進而影響驅動電流，會造成電路工作特性的變動。而另一種完全空乏 (Fully-depleted) 電晶體則是矽作用區的厚度較其空乏區寬度為小，一般而言，完全空乏電晶體有較佳的次臨界特性，因此較適合低電壓操作。且因為本體厚度薄，其由本體到源極端的位障能較低，因此多數載子能經由此路徑排出而沒有浮體效應。浮體效應對於電路的操作有相當大的影響，且會造成漏電流，目前解決的方式便是採用本體接觸。如此便可以將電荷經由本體排出，而不至於堆積在本體。另外，Ge元素的離子佈植有很多的研究發現不但可有效降低SOI寄生BJT的效應

[10]，也可利用形成SiGe合金時所產生的能隙變化來降低浮體效應等[11]。

SiGe MOSFET:

以磊晶成長的方式在原本的電晶體通道端成長一層高品質的SiGe磊晶層，然後再成長一層薄Si以作為成長閘極氧化層的覆蓋層。由於Si, Ge有不同的晶格常數，在界面的矽層受到張力 (tensile)，而SiGe層會受到壓力 (compressive)。在SiGe層中的電子與電洞的遷移率將會有顯著的提昇進而增加驅動電流。且由於載子被束縛在一個類似量子井的環境中，其不會受到Si/SiO₂表面的散射作用而降低其遷移率。此一製作方式必須在低溫的環境下進行 (<800度) 來避免應力鬆弛效應與銻的隔離 (segregation) 問題。如何在低溫下提高接面載子活化度將是一項重要的問題。

Double Gate device:

目前主要的結構有上下雙閘極SOI元件 [12]，與由加州大學柏克萊分校所開發的FinFet [13]。相對於傳統式的電晶體在閘極介電層越薄與本體濃度要求更高時將遭遇相當高的漏電流，此種雙閘極電晶體不僅提高介電層電容為原先的兩倍外，本體通道的電位也更容易受到雙閘極的控制以至限制了漏電流。目前由於雙閘極電晶體的製程相當複雜，因此不容易大量生產。目前由加州大學柏克萊分校所發展的似平面型FINFET，其製程與傳統電晶體的相容性高，且其製作方法較為簡化許多。對於未來越來越小的電晶體結構而言，提升元件功能與電路密度同時亦須配合製程的簡化。否則在如此小的本體空間中，只要些許的離子佈植濃度與製程溫度變化將會引起相當大的臨界電壓變動。因此，在小結構的元件中，如何調整臨界電壓來符合目前CMOS的要求將是未來主要的研發重點。

以上幾種元件是目前各公司與研發單位

積極發展的目標。相信在不久的將來，元件將快速的進入到量子物理的領域。一些如單電子電晶體，量子共振型電晶體等依據量子理論所製作出的電晶體將逐漸走向研發量產階段，其特殊的元件特性或許能簡化目前應用在各種產品的電路進而降低成本與提高效率。相信半導體元件未來的發展將會越來越多元化與寬廣，而不是如前人所預言的將會有物理極限的到來。

參考文獻

1. Robert Chau, IEDM2000, p. 45
2. Qiang Lu et al, VLSI 2000, p. 72

3. Qiang Lu et al, VLSI 2001, p. 45
4. Renade, MRS symposium 2000
5. Jack Lee et al, IEDM 2000, p. 35
6. Wallace et al, Applied Physics Letter 2000, vol. 76, p. 112
7. K. Tsuji et al, VLSI 1999, p. 9
8. Hua-Fang Wei, IEEE ED, 1995, vol 42, No. 12, p. 2096
9. Yoshimi. M, IEEE ED, 1997, vol. 44, No. 12, p. 2187
10. Hon-Sum Wong et al, IEEE ED 1997, vol. 44, No. 7, p. 1131
11. Xuejue. Huang, IEEE ED 2001, vol. 48, No. 5, p. 880