

銅金屬與低介電常數材料與製程

楊正杰¹，張鼎張²，鄭晃忠³

¹國立交通大學電子研究所博士班研究生

²國立中山大學物理學系副教授/NDL合聘研究員

³國立交通大學電子工程學系教授暨半導體中心主任

前言

隨著積體電路製程的迅速發展，後段多層導體連線與低介電常數材料製程愈來愈受到重視。進入深次微米元件領域，其金屬連接線所造成的 RC 延遲現象嚴重影響元件操作的速度。改善 RC 延遲的方法可以採用低介電常數的材料作為多層金屬連接線間的絕緣層材料，藉以降低金屬與金屬層之間的寄生電容大小，因此半導體後段製程中所需的低介電常數材料技術，隨著元件縮小，晶片集積度的增加，雜散電容成為元件操作速度受限的原因。現今半導體業廣泛使用中的旋塗式玻璃 (Spin-on glass, 簡稱 SOG) 材料，因其具有低的介電常數，良好的熱穩定性，低漏電流以及製程容易，逐漸成為未來所需的低介電常數材料製程技術。另一個可行的方法是選用低電阻的金屬材料，而銅正具備此一條件。在此將探討銅金屬化製程的最新發展，並對銅化學機械研磨技術的研究作簡單的介紹。

銅金屬化製程

金屬連接線尺寸的縮小會增加連接線電阻及電流密度，而後者對電性遷移的可靠度有很大的影響。早期 IC 製程不採用銅作為金屬連接線主因是銅的擴散係數很高，與矽或二氧化矽接觸後會很快擴散到基材，產生深層能階的問題。此外銅本身易氧化，低溫

下易與其它材料反應，以及銅缺乏有效的乾式蝕刻技術，這些原因限制銅金屬的發展。但是隨著材料與製程技術的進步，各種擴散障礙層不斷被研究，嵌埋 (Damascene) 製程技術以及銅化學機械研磨技術的成功，使這些問題得以解決。

銅金屬本身具有許多的優勢，主要有：

(1) 低電阻，其阻值為 $1.67\mu\text{-cm}$ ，而鋁為 $2.66\mu\text{-cm}$ 。(2) 抗電性遷移能力佳，約為鋁的 30~100 倍。(3) 良好的熱導性。表一是幾種金屬間特性的比較。銅金屬有許多沉積的技術，如電鍍法、濺鍍法、雷射退火回流法以及化學氣相沉積法等。表二是各種沉積銅金屬薄膜技術的比較。

一、化學氣相沉積技術

銅金屬薄膜的化學氣相沉積技術是採用

表一 不同金屬之性質比較

Property	Al	Cu	W
($\mu\text{-cm}$)	2.66	1.67	5.65
T melt ($^{\circ}\text{C}$)	660	1085	3387
EM 300 $^{\circ}\text{C}$ 10 MA/cm ² (hrs)	10	>1000	>2600
CVD	yes	yes	yes
Dry Etch at low T	yes	?	yes
Corrosion in air	Good	Poor	Good
Adhesion	Good	Poor	Good
Delay (ps/mm)	2.3	2.2	3.2

表二 各種沉積銅薄膜技術之比較

	CVD	PVD	Laser reflow	Electroless plating	Electro plating
電阻率(μ -cm)	>2	1.75~2	2.6	<2	<2
雜質	C,O	Ar	-	Seed layer& Additive	-
沉積速率(nm min^{-1})	~100	>100	-	<100	~200
製程溫度($^{\circ}\text{C}$)	~250	RT	>1100	50-60	RT
步階覆蓋	Good	Fair	-	Good	Good
填洞能力	Good	Poor	Good	Good	Good

有機金屬的前驅物作為沉積銅薄膜的來源，化學氣相沉積技術的優點是具有良好的步階覆蓋以及可達成選擇性沉積。在銅的有機金屬前驅物的選擇上，現今主要有兩類：Cu(I) 和 Cu(II)。Cu(I) 的化合物寫成 (-diketonate) CuL_n ，其中 L_n 代表有機團基 (organic donor ligand)，這種有機團基可以是路易士鹼 (Lewis base) (例如： $\text{PMe}_3 = \text{trimethylphosphine}$)；alkenes (例如： $\text{vtms} = \text{vinyltrimethylsilane}$, $\text{cod} = 1,5\text{-cyclooctadiene}$)，或是 alkynes (例如：2-butyn)。Cu(I) 的前驅物具有較高蒸氣壓，可以在較低的溫度下沉積銅膜，而不需借助還原氣體反應。但 Cu(I) 的缺點是在室溫下不安定，不易儲存。Cu(I) 的反應是經由不對稱反應 (disproportionation) 來進行。Cu(II) 的前驅物是 $\text{Cu}(\text{-diketonate})_2$ ，例如： $\text{Cu}(\text{acac})_2 = \text{cupric bis(acetylacetonate)}$ ， $\text{Cu}(\text{hfac})_2 = \text{cupric bis(hexafluoroacetylacetonate)}$ ，這一類的前驅物反應要加入還原氣體，如氫氣來進行還原反應。相對 Cu(I) 而言，Cu(II) 的前驅物需要較高的沉積溫度，在室溫下較穩定。Cu(I) 和 Cu(II) 的前驅物，其有機化合物中可能會造成氟、碳、氧等污染，因此另一種更簡單的前驅物被發展出來，那就是 hydrated copper formate $\text{Cu}^{\text{II}}(\text{OCHO})_2 \cdot x\text{H}_2\text{O}$ ，經由此種前驅反應可沉積高純度的銅金屬薄膜。

雖然銅具有很多吸引人的特點，但是它難做乾式蝕刻，直到最近銅的平坦化，多層金屬連接線才被整合起來。如圖一是 IBM 公司利用銅金屬薄膜作六層的金屬連接

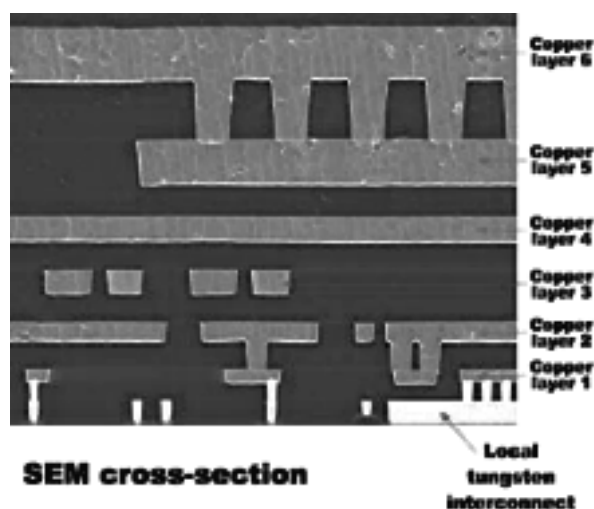
線。選擇性銅薄膜沉積製程控制複雜，影響選擇性沉積的因素有基材的導電性、基材溫度、反應壓力以及表面處理。利用選擇性沉積銅薄膜技術必須在 trench 的底部形成種子層 (seed layer)，而在二氧化矽層上不沉積銅膜，因此可避免用化學機械研磨的方法。另一方面由 trench 底部成長上來的薄膜無孔洞產生，提高其可靠性。選擇性沉積是在反應時添加 silylating 試劑，例如： TMS-Cl (chlorotrimethylsilane)，HMDS (hexamethyldisilane) 和 DMDCS (dimethyldichlorosilane) 其目的是將二氧化矽表面親水性氫氧基 (hydroxyl group) 保護，防止銅的反應物在二氧化矽表面上成核並沉積薄膜，而達成選擇性沉積。

二、物理氣相沉積技術

銅金屬化製程以物理氣相沉積的方式有濺鍍法、低溫雷射退火回流法以及電子迴旋共振電漿/濺鍍混合法。

1. 濺鍍法 (Sputtering)

利用濺鍍法沉積金屬的技術現今非常成熟，然而它所面臨的問題是當元件尺寸縮小，濺鍍法就會有步階覆蓋的問題產生，過於嚴重的接觸洞口肩部沉積，常會導致洞口底部留下孔洞 (voids)，因而無法達到所需的



圖一 IBM 公司利用銅作六層的金屬連接線。

沉積厚度。其中利用低壓、長距離拋鍍 (long-throw sputtering) 的方法來沉積銅薄膜可以得到很好的步階覆蓋特性。此外，利用準直器濺鍍法或離子化濺鍍法均可以改善步階覆蓋能力。

2. 低溫雷射退火回流法 (Low-Temperature Laser Reflow)

對金屬銅採用雷射退火有個困難點是銅的熔點較高，進行回流要在高溫下反應，但是利用脈衝雷射，配合在超高真空的環境下 (UHV)，可將回流的溫度降低至 400°C，並且在高寬比超過 4:1 的 0.25μm 溝槽內得到良好的步階覆蓋特性。

3. 電子迴旋共振電漿/濺鍍混合法

此種沉積方法是用固體的銅作為濺鍍的來源，利用 ECR 產的電漿產生高於 90% 的銅電漿沉積在基材上，而基板的溫度是在 200°C~300°C 之間。

三、電鍍銅技術

電鍍銅的技術又分為兩種：(1) 電鍍 (Electroplating)，(2) 無電電鍍 (Electroless)。電鍍的優點有 (1) 低成本，(2) 高產率，(3) 高品質的銅膜以及 (4) 良好的孔洞填溝能力。電鍍和無電電鍍比較起來，電鍍法具有較高的沉積速率，較佳的穩定性及易於控制。

四、銅化學機械研磨技術 (Cu CMP)

銅化學機械研磨技術的發展是銅金屬化跨進深次微米元件領域的重要技術，它成功的應用在銅金屬層多層連接線的製程上，使得 RC 延遲可以有效的降低下來。利用銅的 CMP 可以進行嵌埋 (Damascene) 製程，其優點為 (1) 無須銅乾式蝕刻技術，(2) 平坦度高的銅金屬多層金屬連接線，(3) 降低製程步驟，(4) 後段製程中對閘極氧化層無天線效應之影響 (Antenna Charge Damage)，(5) 低溫製程，(6) 良好的製程窗戶，產率及可靠性。

銅本身易於水溶液中腐蝕，所以非常適合做 CMP 製程，但是卻會有導線淺碟化

(metal dish) 的效應；另一方面 post-CMP clean 也是一個重要的問題。在 Cu-CMP 的過程，溶液中含有大量的銅，對晶圓背面會造成污染，因此，post-CMP clean 在有效除去這些含銅的溶液，降低銅的污染。

利用銅化學機械研磨技術，發展出 Damascene 的製程。以 Damascene 的結構來形成銅金屬連接線的製程步驟包含：(1) 用乾式蝕刻在氧化層上形成 trench；(2) 以 IMP 沈積 TaN 及 Cu seed；(3) 以電鍍方式將銅填入 trench；(4) 利用銅化學機械研磨的技術將多餘的銅及 TaN 磨除；(5) 將銅膜做 overpolishing；(6) 在室溫下利用直流濺鍍沉積 TiWN；(7) 以介電層作終止層 (stop layer)，將 TiWN 磨除。

低介電常數材料

為了表現極大型積體電路元件良好的操作特性，低介電常數材料技術愈趨重要，例如在動態隨機存取記憶體 (DRAM)，微處理器 (MPU) 以及特殊應用積體電路 (ASIC) 等等。過去二氧化矽薄膜被用來作為導線間之介電材質，其介電常數值為 3.9，實際上，以化學氣相沉積法成長的二氧化矽薄膜其介電常數為 4.2，高於熱氧化成長的二氧化矽薄膜。在進入深次微米元件技術的領域，這樣的二氧化矽薄膜其介電常數無法降低，並且所產生的寄生電容效應影響多層導體連線中信號傳遞延遲以及相互間訊號干擾效應 (cross-talk)，另一個考慮點是由於介電損耗造成功率消耗增加。對於電容 C 可以簡單用 (1) 式表示。

$$C = \epsilon LT/S \quad (1)$$

其中 ϵ 為介電材質的介電常數，L 為金屬導線的長度，T 為金屬導線的厚度，S 為導線之間間距。當積體電路元件積集度以及多層導體連線層數不斷地增加，使得總體連線面積增加，加上考慮介電材料承受崩潰電壓及漏電流，以及金屬導線厚度下降所造成的

電阻上升問題，金屬導線的厚度 T 下降有限，因此造成寄生電容效應影響元件操作特性，由 (1) 式中可發現解決之途是採用低介電常數材料，利用較低的介電常數材料來改善多層導體連線中信號傳遞延遲、相互間訊號干擾效應以及功率消耗。

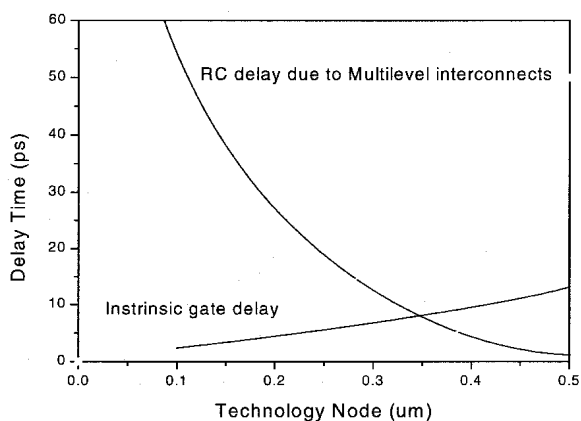
對於時間延遲與功率消耗可以進一步用 (2)(3) 式來表示。

$$\tau = RC = 2\epsilon \rho L \{L/(T_{ILD}T_m) + L/(WS)\} \quad (2)$$

$$P = 2 fV^2 k \epsilon \tan \quad (3)$$

在 (2) 式中， ϵ 為介電材質的介電常數， ρ 為金屬導線電阻， L 為金屬導線的長度， W 為金屬導線寬度， S 為金屬導線間距， T_{ILD} 為介電薄膜厚度以及 T_m 為金屬導線厚度。在 (3) 式中， \tan 、 V 、 f 、 k 和 ϵ 分別是介電損耗、外加電壓、頻率、電容結構因子及介電常數。一般預測元件尺寸小於 $0.35\mu\text{m}$ 以下時，如圖二所示，多層導體連線成為影響元件操作速度及功率消耗劣化的主因。表三顯示未來積體電路技術對低介電常數材料的需要，因此開發新的低介電常數材料以符合製程所需勢在必行。表四是低介電常數材料需求之特性，基本上必須滿足熱穩定性高、高製程整合能力、低漏電流、低介電常數等。

一、低介電常數材料的選擇



圖二 時間延遲對元件尺寸的關係圖。

表三 製程技術所需求之低介電常數值

Interlevel metal insulator(effective dielectric constant)										
年份	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
製程	180nm			130nm			100nm	70nm	50nm	35nm
MPU	3.5-4.0	3.5-4.0	2.7-3.5	2.7-3.5	2.2-2.7	2.2-2.7	1.6-2.2	1.5	<1.5	<1.5
DRAM	4.1	4.1	4.1	3.0-4.1	3.0-4.1	3.0-4.1	2.5-3.0	2.5-3.0	2.0-2.5	2.0-2.3
SoC	3.5-4.0	3.5-4.0	2.7-3.5	2.7-3.5	2.2-2.7	2.2-2.7	1.6-2.2	1.5	<1.5	<1.5

表四 低介電常數材料需求之特性

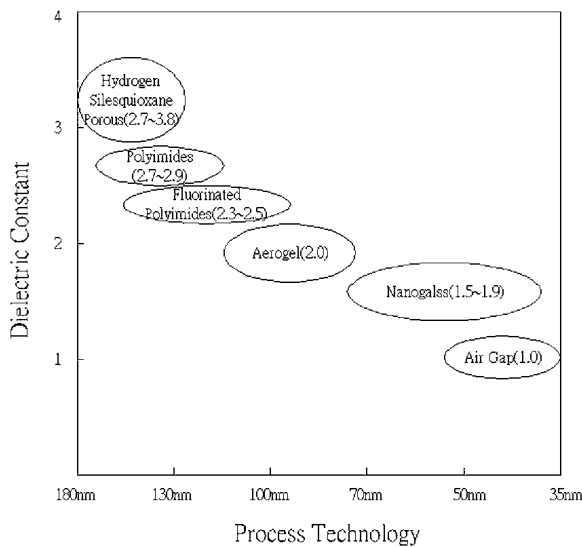
Electrical Properties	Mechanical Properties
k, anisotropy low dissipation low leakage low charge trap high E strength high reliability	film thickness uniformity good adhesion low stress high tensile modules high hardness low shrinkage low weight loss high crack resistance
Chemical Properties	Thermal Properties
high chemical resistance high etch selectivity low moist absorption low solubility H ₂ O low gas permeability high purity no metal corrosion storage life ESH compatibility	high thermal stability, Tg low TCE low thermal shrink high thermal conductivity

低介電常數材料主要分為無機與有機兩大類，製程上則分為化學氣相沈積法與旋塗式玻璃法。在無機的低介電常數材料方面，以化學氣相沈積法形成的 SiOF 為一種近似 SiO_2 的製程，其製程是在沈積 SiO_2 的過程中，通入含氟的氣體，含氟量增加，介電值越低 (~ 3.2)，原而氟含量的增加將導致薄膜吸收水氣，造成後續處理上的問題。其他以化學氣相沈積法形成的低介電常數材料如表五。以碳和氟材料為主的低介電常數材料可以降低介電值至 2.0 左右。有機的低介電常數材料製程多數是以旋塗式玻璃法為之，旋塗式玻璃法是現在最普遍採用的一種局部性平坦化技術，由於是將溶於溶劑的介電材料以旋塗式塗佈在晶圓上，因此為一種相當方

便的技術，且填溝能力亦不錯，許多的 SOG 供應商為提供符合低介電常數的 SOG 材料，低介電常數低於 3.5 的 SOG 已不斷被研發出來。圖三是以旋塗式玻璃法形成的低介電常數材料與製程技術的關係圖。其中 Aerogel 與 Nanoglass 為形成介電常數低於 2.0 以下的材料，然而其疏鬆的結構造成強烈的吸水性及較高的漏電流，因此在應用上可以二氧化矽做三明治夾層結構，改善此缺點。

表五 以化學氣相沈積法形成的低介電常數材料

Material	Chemical Composition	Structure	k	Thermal Stability
Diamond	C	Crystalline, fully Crosslinked	>5	Very high
Hydrocarbon (a-H: C) or Diamondlike Carbon (DLC)	C&H H:30 at.%-50 at.%	Amorphous polymer, highly crosslinked	2.7-3.8	350-400°C
Fluorinated Carbon (a-F:C)	C&F F:40 at.%-50 at.%	Amorphous polymer, highly crosslinked	2.1-2.8	300-420°C
PTFE or Teflon	C&F F:67 at.%	(-CF ₂ -) polymer, uncrosslinked	2.0	<300°C



圖三 以旋塗式玻璃法形成的低介電常數材料與製程技術的關係圖。

二、金屬連線電容的量測

為了追求積體電路高的電路密度，多層導線的設計是必須的。隨著密度的提昇，多層金屬連線的電容寄生效應是影響電路特性的最重要因素。金屬連線寄生電容比起一般研究上所使用的大平板電容量測結構還要更小、更難量測，因而增加了在實際量測金屬連線寄生電容的困難。加上絕緣材料可能存在的漏電流，更增加在量測上的困難度。如何能夠在絕緣材料本身有漏電流的情況之下，還能夠準確的量到寄生電容將是未來發展低介電值材料的重要參考。

隨著積體電路密度的增加，金屬連線對電路特性的影響越來越嚴重。一般而言，金屬連線的電容值大約在幾十 fF 至幾個 pF 之間，普通量測儀器不容易準確量到這麼小的電容值。再加上低介電值材料的引用，使得低電容值的量測更不容易。這裡提出一種設計在晶片上的量測結構藉以量測金屬連線的微小的電容值。其特點為：

- (1) 量測電流的儀器其準確性高，所以這裡藉由量測電容的位移電流，可以準確的得到微小電容值。
- (2) 額外加上一個漏電流很小的參考電容，可以消除待測電容的漏電流。
- (3) 參考電容可以直接由量測準確得知，不需事前了解。
- (4) 量測一般其他的寄生電容值 (C_{par})，參考電容 (C_{ref}) 及待測電容 (C_x) 的方式如下 (參考圖四)

$$(I) i_0 = C_{par} f V_{dd}$$

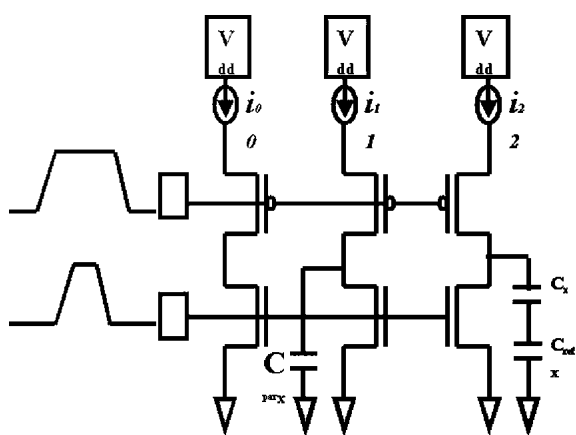
$$(II) i_1 = (C_{par} + C_{ref}) f V_{dd}$$

$$(III) i_2 = (C_{par} + C_{ref} // C_x) f V_{dd}$$

其中， i_0, i_1, i_2 為安培器所量測的電流值， f 為輸入信號的操作頻率， V_{dd} 為操作電壓。待測電容 (C_x) 可由 (III) 萃取。

未來發展

銅製程在 0.18 μ m 以下製程技術已漸成為各 IC 製造廠商所採用的製程，然而尚有



圖四 量測金屬連線的微小電容值電路圖

許多的問題亟待解決，例如製程整合與機台間銅金屬污染的問題。對於使用何種低介電常數材料目前仍未定論，因此以化學氣相沈積技術主導的半導體設備廠商及以旋塗式玻璃法技術主導的化工材料廠商互相較勁，因此新的低介電常數技術與材料仍不斷的發展出來。

參考文獻

1. Solid State Technology vol. 41, No. 3, 1998, p. 49-59.
2. Geppert, L., IEEE SPECTRUM Vol. 35, No. 1, 1998, p. 23-28.
3. Alford, T. L.; Li, J.; Mayer, J. W.; Wang, S.-Q., Thin Solid Films 262(1995), p. vii, viii.
4. Gill, W. N.; Naik, M. B.; Wentorf, R. H.; Reeves, R. R., Thin Solid Films 262(1995), p. 60-66.
5. A. Petersen, J. E. Parmeter, C. A. Aplett, M. F. Gonzales, P. M. Smith, T. R. Omstead, J. A. T. Norman, J. Electrochem. Soc., Vol. 142, No. 3, 1995, p. 939-943.
6. T. Aoki, S. Wickramanayaka, A. M. Wrobel, Y. Nakanishi, Y. Hatanaka, J. Electrochem. Soc., Vol. 142, No. 1, 1995, p. 166-171.
7. N. Awaya, K. Ohno, Y. Arita, J. Electrochem. Soc., Vol. 142, No. 9, 1995,

- p. 3173-3179.
8. Gelatos, A.V.; Mogab, C. J.; Marsh, R.; Kostas, EA0Kostas. T. T.; Jain, A.; Hampden-Smith, M. J., Thin Solid Films 262(1995), p. 52-59.
9. Mouche, M. -J.; Mermet, J. -L.; Romand, M.; Charbonnier, M., Thin Solid Films 262(1995), p. 1-6.
10. Tatsuyuki Saito, Naoki Fukuda, Junji Noguchi, Maki Kubo, Hizuru Yamaguchi, Shigeki Kirasawa, Nobuo Owada, VLSI Multilevel Interconnection Conference, 1997, p. 81-86.
11. Yale H. Sun, Sheau Chen, Donald S. Gardner, Chun Mu, VLSI Multilevel Interconnection Conference, 1997, p. 493-497.
12. S. M. Gorbalkin, D. B. Poker, R. L. Rhoades, C. Doughty, L. A. Berry, J. Vac. Sci. Technol. B 14(3), 1996, p. 1853-1859.
13. Shacham-Diamand, Y.; Dubin, V.; Angyal, M., Thin Solid Films 262(1995), p. 93-103.
14. Shi-Qing Wang, Ivo Raaijmakers, Brad J. Burrow, Sailesh Suthar, Shailesh Redkar, Ki-Bum Kim, J. Appl. Phys. 68(10), 1990, p. 5176-5187.
15. L. C. Lane, T. C. Nason, G. R. Yang, T. M. Lu, J. Appl. Phys. 69(9), 1991, p. 6719-6721.
16. Joseph M. Steigerwald, Shyam P. Murarka, Ronald J. Gutmann, Chemical Mechanical Planarization of Microelectronic Materials, Ch. 7.
17. Y. Morand, M. Lerme, J. Palleau, J. Torres, F. Vinet, O. Demolliens, L. Ulmer, Y. Gobil, M. Fayolle, F. Romagna, Y. Trouiller, F. Tardif, C. Marcadal, VLSI Multilevel Interconnection Conference, 1997, p. 75-80.
18. H. Miyazaki, K. Takeda, N. Sakuma, K. Hinode, K. Kusukawa, T. Furusawa, Y. Homma, S. Konda, VLSI Multilevel Interconnection Conference, 1996, p. 498-503.
19. Jo, B. H.; Vook, R. W., pp. 129-134 Thin Solid Films 262(1995), p. 129-134.

20. Lloyd, J. R.; Clement, J. J., Thin Solid Films 262(1995), p. 135-141.
21. Materials Science and Engineering, p. 243, 1998.
22. International Technology Roadmap for Semiconductors, p. 163, 1999.
23. Semiconductor International, p. 83, 1996.
24. Dielectric for ULSI Multilevel Interconnection Conference, p. 155, 1998.
25. Nigel P. Hacker, Gray Davis, Lisa Figge, Todd Krajewski, Scott Lefferts, Jan Nedbal, Richard Spear, Material Research Society Symposium, Apr. 1-4, p. 25, 1997, San Francisco, California, U.S.A.



屋身的門窗

在中國古建築屋身部分的前面，在立柱之間都安裝著門和窗，其結構由木板製作的板門和柱間牆上安裝的窗屏與格扇組合而成的。
（如圖）

（摘自中國建築形態與文化）